



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **KIMURA, Tokuharu, et al.**

Group Art Unit: **2811**

Serial No.: **10/764,486**

Examiner: **Not Yet Assigned**

Filed: **January 27, 2004**

P.T.O. Confirmation No.: 6268

For: **COMPOUND SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: June 21, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-017308, filed January 27, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

**ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP**


William L. Brooks

Attorney for Applicants
Reg. No. 34,129

WLB/rmp
Atty. Docket No. **040024**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月27日
Date of Application:

出願番号 特願2003-017308
Application Number:
[ST. 10/C]: [JP 2003-017308]

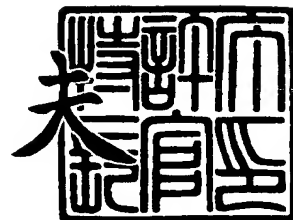
出願人 富士通株式会社
Applicant(s):



2003年12月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103743

【書類名】 特許願

【整理番号】 0240940

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/778

【発明の名称】 化合物半導体装置およびその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 木村 徳治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 吉川 俊英

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上方に配置され、実質的に GaN から成る電子走行層と、

前記電子走行層上方に配置され、実質的に n 型 $\text{Al}_q\text{Ga}_{1-q}\text{N}$ ($0 < q \leq 1$) から成る電子供給層と、

前記電子供給層上方に配置され、実質的に n 型 GaN から成るキャップ層と、

前記キャップ層上に配置され、ショットキ接触を構成するゲート電極と、

前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さを除去して形成されたソース側およびドレイン側リセス部であって、その表面のラフネスが前記ゲート電極下のキャップ層表面のラフネスより大きいソース側およびドレイン側リセス部と、

前記ソース側リセス部上に配置されたソース電極と、

前記ドレイン側リセス部上に配置されたドレイン電極と、
を有する化合物半導体装置。

【請求項 2】 ソース側およびドレイン側リセス部表面のラフネスが、前記ゲート電極下のキャップ層表面のラフネスの約 1.5 倍～約 10 倍の範囲内である請求項 1 記載の化合物半導体装置。

【請求項 3】 さらに、前記キャップ層、ソース側およびドレイン側リセス部を覆って形成された絶縁材料のパッシベーション膜を有する請求項 1 または 2 記載の化合物半導体装置。

【請求項 4】 前記ゲート電極と前記ドレイン電極との間で、少なくとも前記キャップ層に切込部が形成され、前記パッシベーション膜が前記切込部の表面を覆っている請求項 3 記載の化合物半導体装置。

【請求項 5】 前記ソース側およびドレイン側リセス部の少なくとも一方が、前記キャップ層と前記電子供給層との界面に達し、表面のラフネスによって前記キャップ層が部分的に残り、前記電子供給層が部分的に露出している請求項 1 記載の化合物半導体装置。

【請求項 6】 前記ソース側リセス部が前記ドレイン側リセス部よりも深い請求項 1 記載の化合物半導体装置。

【請求項 7】 (a) 基板上に、実質的に GaN から成る電子走行層と、実質的に n 型 $Al_qGa_{1-q}N$ ($0 < q \leq 1$) から成る電子供給層と、実質的に n 型 GaN から成るキャップ層とをこの順序でエピタキシャルに積層する工程と、

(b) 前記キャップ層上に、ショットキ接触を構成するゲート電極を形成する工程と、

(c) 前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さをエッチングして、ソース側およびドレイン側リセス部を形成する工程であって、リセス部表面のラフネスが前記ゲート電極下のキャップ層表面のラフネスより大きいように設定するエッチング工程と、

(d) 前記ソース側およびドレイン側リセス部上にソース電極とドレイン電極とを形成する工程と、
を含む化合物半導体装置の製造方法。

【請求項 8】 前記工程 (c) が、前記ラフネスにより、前記キャップ層を一部残し、前記電子供給層を一部露出し、前記工程 (d) が、前記キャップ層と前記電子供給層とに同時に接触する電極を形成する請求項 7 記載の半導体装置の製造方法。

【請求項 9】 さらに、

(f) 前記工程 (c) の後、前記リセス部の表面をプラズマに曝す工程、
を含む請求項 7 又は 8 記載の半導体装置の製造方法。

【請求項 10】 さらに、

前記ゲート電極と前記ドレイン電極との間、および前記ソース電極と前記ゲート電極との間、の少なくとも一方を横断するように、前記キャップ層に刻み目を形成する工程を含む請求項 7～9 のいずれか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、特に GaN 系化合物半導体層で

形成された電子走行層を有する化合物半導体装置とその製造方法に関する。

【0002】

【関連技術】

近年、AlGa_N/Ga_Nヘテロ接合を形成し、ヘテロ接合に接するGa_N層を電子走行層とするGa_N電界効果トランジスタが開発されている。Ga_Nは、広いバンドギャップ、高い破壊電界強度、大きい飽和電子速度を持ち、高電圧動作、高出力のデバイス材料として極めて有望である。

【0003】

携帯電話基地局用のパワーデバイスには、40V以上の高電圧動作が求められており、Ga_N電界効果トランジスタが有望視されている。高電圧動作のためには、高いゲート耐圧（所定ゲートリーク電流での高い逆方向ゲート電圧、所定ゲート・ドレイン間リーク電流での高いゲート・ドレイン間電圧）が要求される。

【0004】

図8（A）、（B）は、従来のGa_N電界効果トランジスタ（FET）の構成とその特性を示す断面図及びグラフである。

図8（A）において、サファイア又はSiCで形成された基板1の上に、必要に応じてGa_NまたはAlNのバッファ層が形成され、その上にGa_N電子走行層2が形成され、その上にAlGa_N電子供給層3が形成される。電子供給層3は、例えばSiでドーピングされ、n型導電性を示し、電子走行層2に電子を供給することができる。

【0005】

電子供給層3の上に、ゲート電極5、ソース電極6、ドレイン電極7が形成され、電子供給層3の表面はパッシベーション膜4で覆われる。

図8（B）は、図8（A）に示す半導体装置のゲート電極下の半導体層内のバンド構造を示す。横軸は半導体表面からの膜厚を単位nmで示し、縦軸は伝導帯の底のエネルギーを単位eVで示す。Ga_N系半導体は、ピエゾ分極効果及び自発分極効果が大きいことが知られている。これらの分極効果により、Ga_N電子走行層2/AlGa_N電子供給層3界面から、AlGa_N電子供給層3の表面に向かって、伝導帯のポテンシャルエネルギーが上昇する。Ga_N電子走行層2/AlG

a N 電子供給層 3 界面において、G a N 電子走行層側に 2 次元電子ガスが蓄積する。

【0006】

トンネル電流 I は、ポテンシャルバリアの長さ L に対して、

$$I \propto \exp(-C \times L)$$

の関係を有し、ポテンシャルバリアの長さが短くなるとトンネル電流は増大する。

【0007】

図 8 (B) に示すように、A l G a N 層内の伝導体のポテンシャルエネルギーは急峻に増大し、ポテンシャルバリアの長さが短くなる部分がある。この部分において、表面 (ゲート電極) から電子がトンネルし易い。2 端子ゲート耐圧は数 10 V 程度と高電圧動作には不十分なものであった。

【0008】

図 8 (C)、(D) は、改良型 G a N - F E T の構造とその特性を示す断面図及びグラフである。

図 8 (C) に示すように、図 8 (A) に示す構造と比べ、電子供給層 3 とゲート電極 5 との間に n 型 G a N キャップ層 8 が配置されている。

【0009】

図 8 (D) は、図 8 (C) に示す構造内の伝導帯のポテンシャルエネルギー分布を示す。横軸が表面からの膜厚を単位 nm で示し、縦軸が伝導体帯のエネルギーを単位 e V で示す。n 型 A l G a N 電子供給層 3 / n 型 G a N キャップ層 8 界面に負の電荷が溜まり、n 型 G a N キャップ層 8 表面から A l G a N 電子供給層 3 に向いポテンシャルエネルギーが増大していく。結果的に、n 型 A l G a N 電子供給層 3 / n 型 G a N キャップ層 8 界面の伝導帯のポテンシャルエネルギーのピークが高くなり、かつピーク位置が表面からより深い位置に移動している。

【0010】

このようにバンド構造を変化させ、表面からのトンネル電流を抑制することができる。2 端子ゲート耐圧を 150 V 以上、3 端子ゲート耐圧を 50 V 以上とすることが可能となる (例えば特許出願 2001/164908 号参照)。

【0011】

図8(C)に示すGaN-FET構造においては、ゲート電極下のみならずソース電極6、ドレイン電極7の下にもn型GaNキャップ層8が積層されている。このため、電子のトンネルが抑制される結果、ソース電極6、ドレイン電極7の接触抵抗が $10^{-3} \sim 10^{-4} \Omega \text{ cm}^2$ と従来よりも約2桁悪化してしまう。又、ソース抵抗も増大し、相互コンダクタンスが低下してしまう。

【0012】

又、ゲート・ドレイン間の2端子逆方向リーク電流を測定すると、 $100 \mu\text{A}/\text{mm}$ のリーク電流が観測された。

ゲート電極に対して高耐圧を確保し、かつソース電極、ドレイン電極の接触抵抗率を低減することが望まれる。又、ゲート・ドレイン間の2端子逆方向リーク電流を低減化することが望まれる。

【0013】

【特許文献1】

特開2001-230407号公報

【特許文献2】

特開2002-16087号公報

【0014】

【発明が解決しようとする課題】

本発明の目的は、ゲート耐圧を向上し、かつソース電極、ドレイン電極の接触抵抗率の増大を抑制し、ゲート・ドレイン間の逆方向リーク電流の増大を低減することのできる化合物半導体装置及びその製造方法を提供することである。

【0015】

本発明の他の目的は、ゲート電極に対して高耐圧を実現し、ソース電極、ドレイン電極の接触抵抗の増大を抑制し、ソース抵抗の増大を抑制し、ゲート・ドレイン間リーク電流の増大を抑制し、ゲート・ソース間のリーク電流増大も抑制することが可能な化合物半導体装置及びその製造方法を提供することである。

【0016】

本発明のさらに他の目的は、特性の改善されたGaN型電界効果トランジスタ

一を提供することである。

【0017】

【課題を解決するための手段】

本発明の1観点によれば、基板と、前記基板上方に配置され、実質的にGaNから成る電子走行層と、前記電子走行層上方に配置され、実質的にn型 $Al_qGa_{1-q}N$ ($0 < q \leq 1$) から成る電子供給層と、前記電子供給層上方に配置され、実質的にn型GaNから成るキャップ層と、前記キャップ層上に配置され、ショットキ接触を構成するゲート電極と、前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さを除去して形成されたソース側およびドレイン側リセス部であって、その表面のラフネスが前記ゲート電極下部のキャップ層の表面のラフネスより大きいソース側およびドレイン側リセス部と、前記ソース側リセス部上に配置されたソース電極と、前記ドレイン側リセス部上に配置されたドレイン電極とを有する化合物半導体装置が提供される。

【0018】

本発明の他の観点によれば、(a) 基板上に、実質的にGaNから成る電子走行層と、実質的にn型 $Al_qGa_{1-q}N$ ($0 < q \leq 1$) から成る電子供給層と、実質的にn型GaNから成るキャップ層とをこの順序でエピタキシャルに積層する工程と、(b) 前記キャップ層上に、ショットキ接触を構成するゲート電極を形成する工程と、(c) 前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さをエッチングして、ソース側およびドレイン側リセス部を形成する工程であって、リセス部の表面のラフネスが前記ゲート電極下部のキャップ層の表面のラフネスより大きいように設定する工程と、(d) 前記ソース側およびドレイン側リセス部上にソース電極とドレイン電極とを形成する工程とを含む化合物半導体装置の製造方法が提供される。

【0019】

ソース電極、ドレイン電極の下において、少なくともキャップ層の一部厚さを除去したリセス部を形成することにより、ソース抵抗、ドレイン抵抗を低減することができる。リセス部の表面にラフネスを形成することにより、接触抵抗を低減することができる。

【0020】

ゲート電極とドレイン電極との間で、キャップ層に切れ込み部を形成することにより、ゲートドレイン間のリーク電流を低減することができる。

【0021】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1 (A) ~ (D) は、本発明の1実施例による半導体装置及びその製造方法を示す断面図である。図1 (A) に示すように、SiC基板9の表面上に、アンドープGaN電子走行層10を厚さ約3 μ m有機金属気相エピタキシ (MOVPE) により堆積する。なお、SiC基板に代え、サファイア基板を用いることもできる。基板上にバッファ層を形成した後、電子走行層を成長することもできる。

【0022】

電子走行層10の上に、MOVPEにより、厚さ約3 nmのアンドープAl_{0.25}Ga_{0.75}Nスペーサ層11を堆積し、続いてSiを $2 \times 10^{18} \text{ cm}^{-3}$ ドープしたn型Al_{0.25}Ga_{0.75}N電子供給層12を厚さ約20 nm成長し、次にSiを $1 \times 10^{17} \text{ cm}^{-3}$ 以上、例えば $2 \times 10^{18} \text{ cm}^{-3}$ ドープしたn型GaNキャップ層13を厚さ10 nm以下、例えば厚さ5 nm堆積する。このようにしてMOVPEにより、半導体積層が形成される。なお、n型GaNキャップ層13の表面は、約0.3 nmのラフネスを有する。

【0023】

n型Al_{0.25}Ga_{0.75}N電子供給層12の上に、ピエゾ分極効果、自発分極効果の大きなn型GaNキャップ層13を形成することにより、半導体積層の形成するポテンシャルバリアを高く、かつその厚さ方向の寸法を大きくすることができる。ゲート電極を形成した時の耐圧が高くなる。但し、ゲート耐圧が高くなる反作用として、n型GaNキャップ層13の上にソース電極、ドレイン電極を形成すると、ソース抵抗、ドレイン抵抗は高くなる。

【0024】

AlGaNとGaNの電子親和力を比較するとGaNの電子親和力の方が大き

い。Ga_{0.5}NとAlGa_{0.5}Nとでは電子親和力の大きい方がバンドギャップも小さい。そして電子親和力の異なる物質が接合した場合、電子親和力の大きい方に電子はたまりやすい。

【0025】

半導体積層表面上にレジスト層を塗布し、露光、現像することによりホトレジストパターンPR1を形成する。ホトレジストパターンPR1は、ソース電極形成領域、ドレイン電極形成領域に開口を有する。Cl₂等の塩素系ガスと不活性ガスの混合ガスをエッチャントとしたドライエッチングを行ない、開口部のキャップ層13を部分的に除去する。残るGa_{0.5}Nキャップ層の厚さは、2nm以下とすることが好ましい。その後、ホトレジストパターンPR1は除去する。

【0026】

Ga_{0.5}Nキャップ層を薄くすることにより、Ga_{0.5}Nのピエゾ効果、自発分極効果が寄与して、ポテンシャルバリアが低くなり、バリア長も減少する。薄くしたGa_{0.5}N層の上にソース／ドレイン電極を形成すると、トンネル電流が流れ易くなり、ソース／ドレイン抵抗を低くする効果が生じる。

【0027】

AlGa_{0.5}N／Ga_{0.5}N界面が急峻であるとピエゾ効果等が発生しやすいが、界面が急峻でなくなるとピエゾ効果は激減する。よってバンドの持ち上がりが解消され、オーミックコンタクトがとりやすくなる。

【0028】

この時、ドライエッチングによりエッチされたりセス部表面のラフネスが、ホトレジストパターンPR1で覆われたゲート電極形成領域表面のラフネスよりも大きくなるようにする。ソース／ドレイン電極形成領域のラフネスは、ゲート電極形成領域のラフネスよりも少なくとも1.5倍以上になるようにエッチング条件を設定する。

【0029】

より具体的にはバイアス電圧の増加や圧力の増加（通常50V以下を100V以上、通常2Pa程度を4Pa程度にする）でラフネスを増加させることができる。通常の選択エッチングでは使用しない領域の条件を使用することによりラフ

ネスを増加させることが可能である。

【0030】

例えば、ソース／ドレイン電極形成領域のラフネスは、ゲート電極形成領域のラフネスの1.5倍～10倍の領域内に設定する。表面にラフネスを設けることにより、その上に電極を形成したとき、電極の接触面積は増大する。従って接触抵抗率を低減することができる。

【0031】

また、ラフネスが大きくなる場合、表面近くのNが脱離してN空孔が形成される。N空孔はn型ドナーとして働くため、高濃度のn型が表面に形成される。

図1(B)に示すように、GaNキャップ層のテラス部を覆い、さらに隣接するリセス部へのステップを覆うホトレジストパターンPR2を新たに形成し、Ti層とAl層を積層した金属層M1を堆積する。レジストパターンPR2上に堆積した金属層M1は、レジストパターンPR2と共にリフトオフする。半導体積層のリセス部表面上には、ソース電極15、ドレイン電極16が残る。

【0032】

ソース電極15、ドレイン電極16はキャップ層13のテラス部から離されて形成される。別の表現をすれば、ゲート電極が上に形成されるキャップ層13は、ソース電極15、ドレイン電極16の手前で段差を有する。ソース／ドレイン電極はGaN層のテラス上面には接触しない。過度にソース／ドレイン電極をテラス部のステップから離す必要はない。この構成は後に述べるリーク電流の低減のために重要である。

【0033】

ソース電極15、ドレイン電極16に対し、450℃～900℃のアニールを行う。

ラフネスが大きいと接触面積が大きくなるため、アニール時の反応が促進されやすい。

【0034】

このようにして、ソース／ドレイン電極として、半導体積層に対するオーミック電極を形成する。

図1 (C) に示すように、ゲート電極形成領域に開口を有する新たなホトレジストパターンPR3を形成する。ここで、ゲート電極用開口は、エッチングされていないキャップ層13のテラス幅よりも小さく形成する。例えば、ゲート電極のゲート長は約 $1\mu\text{m}$ に設定する。

【0035】

Ni層、Au層を積層し、金属層M2を堆積する。ホトレジストパターンPR3上に堆積した金属層M2は、ホトレジストパターンPR3と共にリフトオフする。このようにして、キャップ層13の上にゲート電極14が形成される。

【0036】

図1 (D) に示すように、CVDにより、例えば厚さ 20nm のSiN層17を堆積し、必要な電極表面でSiN層を除去し電極を露出させる。このようにして、半導体装置が完成する。

【0037】

図1 (D) に示す構成によれば、ゲート電極14と電子供給層12の間にn型GaNキャップ層13が配置されるため、半導体積層内でのポテンシャルエネルギーのピークが高く、かつバリアが広がり、トンネル電流が減少し、ゲート耐圧が向上する。

【0038】

ソース電極15、ドレイン電極16の下においては、n型GaNキャップ層13が薄くされており、そのため、ポテンシャルエネルギーのピーク高さが低くなり、バリアの長さが短くなる。従って、ソース電極15、ドレイン電極16に対する接触抵抗が減少する。又、ソース電極15に対するソース抵抗が低減する結果、相互コンダクタンスは向上する。

【0039】

n型GaN層13の表面にパッシベーション膜17が形成されているため、界面近傍に誘起される正孔を内部に追いやることができ、これによりピエゾ電界によって持ち上げられたn型AlGaN電子供給層/n型GaNキャップ層界面の伝導体のポテンシャルピークエネルギーを下げるができる。ソース電極15、ドレイン電極16が形成されるn型GaNキャップ層13のリセス部表面がゲー

ト電極 14 が形成される n 型 GaN キャップ層 13 のテラス表面とは段差を介しているため、リーク電流の増大を低減することができる。

【0040】

図 1 (D) の構成によれば、十分高いゲート耐圧を得ることができる。しかしながら、ゲート・ドレイン間のリーク電流は十分低いとは言えないレベルであった。

【0041】

図 2 (A) ~ (C) は、図 1 (A) ~ (D) に示す第 1 の実施例の変形例を示す。

図 2 (A) に示すように、ゲート電極 14、ドレイン電極 16 の間において、パッシベーション層 17 に刻み目 18 を形成し、ゲート電極 14、ドレイン電極 16 間でパッシベーション層 17 が切断されるようにした。刻み目 18 を導入することにより、リーク電流が低減した。

【0042】

この現象を考察すると、リーク電流は n 型 GaN キャップ層 13 とパッシベーション層 17 との形成する界面が平面上に連続している場合に大きくなり、この界面がいずれかの部分で切断されたり、段差を形成するとリーク電流が減少するものと考えられる。

【0043】

図 2 (B) は、リーク電流を減少させるための他の構成を示す。すなわち、ゲート電極 14 とソース電極 15 及びドレイン電極 16 との間の領域において、n 型 GaN キャップ層表面から、GaN キャップ層 13 を横断し、AlGaIn 電子供給層 12 内に達する刻み目 19 を形成し、その後パッシベーション層 17 を形成した。パッシベーション層 17 と n 型 GaN キャップ層 13 の形成する界面が、電極間において段差を形成し、急激に方向を変化させることにより、リーク電流が減少することが期待される。

【0044】

ソース電極、ドレイン電極下方の半導体層の面のラフネスは、エッチングによって形成するもののみに限らない。

図2 (C) は、ドレイン電極、ドレイン電極を形成すべき領域をプラズマPに曝し、表面を荒れさせてラフネスを増加させる工程を示す。プラズマPと接触することにより、表面のラフネスRが増大する。

【0045】

図3は、図1 (D) に示す構成と、図2 (B) に示す構成とにより、どのような特性が得られるかを、実際にサンプルを形成し、特性を測定することによって求めた表である。参考のために、図8 (C) に示す従来構造も形成し、同様の特性を測定した。

【0046】

接触抵抗率は、従来例において $1 \times 10^{-3} \sim 1 \times 10^{-4} \Omega \text{ cm}^2$ であるのに対し、図1 (D)、図2 (B) に示す構成では $7 \times 10^{-6} \sim 3 \times 10^{-5}$ と1桁以上、ほぼ2桁の改善を示した。

【0047】

オン抵抗は、図8 (C) に示す従来例で約 $12 \Omega \text{ mm}$ であったのに対し、図1 (D) 及び図2 (B) に示す構成では、 $6 \sim 8 \Omega \text{ mm}$ に約半減した。

ゲートドレイン間の2端子逆方向電流は、100V印加時に、図8 (C) の従来例においては $100 \mu \text{ A/mm}$ であったのに対し、図1 (D) の構成では $50 \mu \text{ A/mm}$ と半減し、図2 (B) の構成においては $1 \mu \text{ A/mm}$ と従来例の約 $1/100$ まで減少した。

【0048】

相互コンダクタンス g_m は、図8 (C) に示す従来例において 140 mS/mm であったのに対し、図1 (D)、図2 (B) に示す構成においては 220 mS/mm と大幅に増加した。このように、第1の実施例及びその変形例によって、従来例と比較し特性の大幅な改善を行うことができた。

【0049】

図1 (A) ～ (D) に示す実施例においては、ソース電極、ドレイン電極下のn型GaNキャップ層を一部除去した。n型GaN層をほぼ全部除去することも可能である。

【0050】

図4 (A)、(B)は、本発明の他の実施例による半導体装置及びその製造方法を示す断面図である。

図4 (A)に示すように、図1 (A)のエッチング工程において、n型GaNキャップ層13をそのほとんど全厚さに亘ってエッチングする。この時、表面にラフネスを導入することにより、エッチングされた領域において一部n型GaNキャップ層13が残り、残りの表面上ではAlGaIn電子供給層12が一部エッチングされた状態を実現することができる。

【0051】

ソース電極15、ドレイン電極16を堆積すると、ソース電極15、ドレイン電極16は、一部面積においてn型GaInNキャップ層13と接触し、他の領域においてn型AlGaIn層12と接触する。n型GaIn層13の抵抗増大効果を最小にし、かつAlを含むAlGaIn層12の露出面積を低く抑え、表面酸化を有効に防止する。又、表面のラフネスにより電極の接触面積が増大し、接触抵抗を減少させる。ラフネスにより、表面のn型不純物濃度の増大効果、アニール時の反応促進効果も得られる。

【0052】

図4 (B)は、図4 (A)の構成に対し、さらに表面のn型GaIn層13の表面から、AlGaIn層12内に達する刻み目19を導入した構成を示す。

図5は、図4 (A)、(B)に示す構成を、実際にサンプルとして形成し、その特性を測定した結果を示す表である。比較のため、図8 (C)に示す従来構造の特性も合わせて示す。

【0053】

接触抵抗率は、図4 (A)、(B)の両構成共に、 $5 \times 10^{-6} \sim 1 \times 10^{-5} \Omega \text{ cm}^2$ と、従来例と較べて大幅に改善され、図1 (D)、図2 (B)に示す構成の特性よりもさらに1段の改善が見られる傾向である。オン抵抗は、 $6 \sim 7 \Omega \text{ m}$ と、従来例に較べて約半減され、図1 (D)、図2 (B)に示す構成の特性よりもさらに安定化する傾向を示している。

【0054】

ゲート・ドレイン2端子間逆方向電流は、図4 (A)の構成において $50 \mu \text{ A}$

／nmと図1 (D) の構成と同様であり、図4 (B) の構成においては $1\mu\text{A}/\text{mm}$ と図2 (B) の構成と同様の値であった。

【0055】

相互コンダクタンス g_m は、図4 (A)、図4 (B) の構成共に $250\text{mS}/\text{mm}$ と従来例に比較して大幅な改善を示し、図1 (D)、図2 (B) の構成に対しても向上が見られた。

【0056】

なお、ゲート電極、ドレイン電極下のリセス部は、n型Ga_{0.4}N_{0.6}キャップ層13途中まで、又は下のn型Al_{0.1}Ga_{0.9}N層12との界面までとは限らない。

図6 (A) は、リセス部をn型Al_{0.1}Ga_{0.9}N層12の一部深さまで導入した場合を示す。図1 (A) に示すエッチング工程において、n型Ga_{0.4}N層13が除去された後、n型Al_{0.1}Ga_{0.9}N層12の一部厚さが除去されるまでエッチングを行う。エッチ量は、たとえば10nm以下とする。その他の工程は図1 (A) ～ (D) に示すものと同様に行う。

【0057】

図6 (B) は、図6 (A) に示す構成において、n型Ga_{0.4}Nキャップ層13表面からn型Al_{0.1}Ga_{0.9}N層12の途中深さまで刻み目19を導入した構成を示す。この構成によれば、図6 (A) に示す構成と較べ、リーク電流の更なる減少が期待できる。

【0058】

図7 (A) は、ソース電極下のリセス部とドレイン電極下のリセス部に差を設けた場合を示す。ドレイン電極16下のリセス部は、n型Ga_{0.4}Nキャップ層13の途中深さで停止しているが、ソース電極15下のリセス部はn型Ga_{0.4}Nキャップ層13とn型Al_{0.1}Ga_{0.9}N層12との界面に達し、図4 (A) と同様の構成となっている。ソース電極15においてより一層の接触抵抗低減が期待でき、ソース抵抗の低下も期待できる。

【0059】

図7 (B) は、さらにソース電極15のリセス部を深くした構成を示す。ソース電極15下においては、n型Al_{0.1}Ga_{0.9}N層12の一部深さまで除去し、リセス

部を深くする。ソース接触抵抗及びソース抵抗の一層の低下を期待できる。

【0060】

なお、図7(A)、(B)に示すように、ソース電極15、ドレイン電極16下のリセス部の深さを異ならせるためには、それぞれのエッチングを別のレジストマスクを用いて行なえばよい。

【0061】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、GaN、AlGaNを用いる場合を説明したが、Inを含む臨界膜厚以下の $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$)、 $\text{In}_p\text{Al}_q\text{Ga}_{1-p-q}\text{N}$ ($0 \leq p < 1$ 、 $0 \leq q < 1$ 、 $0 < p + q \leq 1$)を用いても同様の効果を期待できる。その他種々の変更、改良、組合わせが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

【0062】

(付記1) 基板と、
前記基板上方に配置され、実質的にGaNから成る電子走行層と、
前記電子走行層上方に配置され、実質的にn型 $\text{Al}_q\text{Ga}_{1-q}\text{N}$ ($0 < q \leq 1$)から成る電子供給層と、
前記電子供給層上方に配置され、実質的にn型GaNから成るキャップ層と、
前記キャップ層上に配置され、ショットキ接触を構成するゲート電極と、
前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さを除去して形成されたソース側およびドレイン側リセス部であって、その表面のラフネスが前記ゲート電極下のキャップ層表面のラフネスより大きいソース側およびドレイン側リセス部と、
前記ソース側リセス部上に配置されたソース電極と、
前記ドレイン側リセス部上に配置されたドレイン電極と、
を有する化合物半導体装置。

【0063】

(付記2) ソース側およびドレイン側リセス部表面のラフネスが、前記ゲート電極下のキャップ層表面のラフネスの約1.5倍～約10倍の範囲内である

付記 1 記載の化合物半導体装置。

【0064】

(付記 3) さらに、前記キャップ層、ソース側およびド레인側リセス部を覆って形成された絶縁材料のパッシベーション膜を有する付記 1 または 2 記載の化合物半導体装置。

【0065】

(付記 4) 前記ゲート電極と前記ド레인電極との間で、少なくとも前記キャップ層に切込部が形成され、前記パッシベーション膜が前記切込部の表面を覆っている付記 3 記載の化合物半導体装置。

【0066】

(付記 5) さらに、前記ゲート電極と前記ソース電極との間で、少なくとも前記キャップ層に他の切込部が形成され、前記パッシベーション膜が前記他の切込部の表面も覆っている付記 4 記載の化合物半導体装置。

【0067】

(付記 6) 前記切込部、前記他の切込部の少なくとも一方が、前記キャップ層を横断し、前記電子供給層内に達している付記 5 記載の化合物半導体装置。

(付記 7) 前記キャップ層の電子親和力 β が、前記電子供給層の電子親和力 α より大、 $\beta > \alpha$ 、である付記 1 記載の化合物半導体装置。

【0068】

(付記 8) 前記ソース側およびド레인側リセス部の少なくとも一方が、前記キャップ層と前記電子供給層との界面に達し、表面のラフネスによって前記キャップ層が部分的に残り、前記電子供給層が部分的に露出している付記 1 記載の化合物半導体装置。

【0069】

(付記 9) 前記電子走行層、前記電子供給層、前記キャップ層が In を含まない付記 1 ~ 8 のいずれか 1 項記載の化合物半導体装置。

(付記 10) 前記ソース側リセス部が前記ド레인側リセス部よりも深い付記 1 記載の化合物半導体装置。

【0070】

(付記 11) (a) 基板上に、実質的に GaN から成る電子走行層と、実質的に n 型 $\text{Al}_q\text{Ga}_{1-q}\text{N}$ ($0 < q \leq 1$) から成る電子供給層と、実質的に n 型 GaN から成るキャップ層とをこの順序でエピタキシャルに積層する工程と、

(b) 前記キャップ層上に、ショットキ接触を構成するゲート電極を形成する工程と、

(c) 前記ゲート電極両側で、少なくとも前記キャップ層の一部厚さをエッチングして、ソース側およびドレイン側リセス部を形成する工程であって、リセス部表面のラフネスが前記ゲート電極下のキャップ層表面のラフネスより大きいように設定するエッチング工程と、

(d) 前記ソース側およびドレイン側リセス部上にソース電極とドレイン電極とを形成する工程と、
を含む化合物半導体装置の製造方法。

【0071】

(付記 12) 前記工程 (c) が、前記ラフネスにより、前記キャップ層を一部残し、前記電子供給層を一部露出し、前記工程 (d) が、前記キャップ層と前記電子供給層とに同時に接触する電極を形成する付記 11 記載の半導体装置の製造方法。

【0072】

(付記 13) さらに、

(f) 前記工程 (c) の後、前記リセス部の表面をプラズマに曝す工程、
を含む付記 11 又は 12 記載の半導体装置の製造方法。

【0073】

(付記 14) 前記工程 (c) が、マスクを用いてソース側リセス部を形成するエッチング工程と、マスクを用いてドレイン側リセス部を形成するエッチング工程とを含む付記 11 記載の半導体装置の製造方法。

【0074】

(付記 15) さらに、

前記ゲート電極と前記ドレイン電極との間、および前記ソース電極と前記ゲート電極との間、の少なくとも一方を横断するように、前記キャップ層に刻み目を

形成する工程を含む付記 1 1 ～ 1 4 のいずれか 1 項記載の半導体装置の製造方法。

【 0 0 7 5 】

【発明の効果】

以上説明したように、本発明によれば、ゲート電極の耐圧を向上し、かつソース電極、ドレイン電極の接触抵抗の増加を低減することができる。

【 0 0 7 6 】

ゲート耐圧が高く、リーク電流の低い G a N 系電界効果トランジスタを提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による半導体装置及びその製造方法を示す断面図である。

【図 2】 図 1 に示す実施例の変形例を示す断面図である。

【図 3】 本発明の実施例に従って作成したサンプルの特性を従来例に従って作成したサンプルの特性と比較して示す表である。

【図 4】 本発明の第 2 の実施例による半導体装置を示す断面図である。

【図 5】 図 4 に示す実施例に従って作成したサンプルの特性を、従来例に従って作成したサンプルの特性と比較して示す表である。

【図 6】 本発明のさらなる実施例による半導体装置の構成を示す断面図である。

【図 7】 本発明のさらなる実施例による半導体装置の構成を示す断面図である。

【図 8】 従来技術による半導体装置の構成及びそのバンド構造を示す断面図及びグラフである。

【符号の説明】

9 基板

1 0 G a N 電子走行層

1 1 A l G a N スペーサ層

1 2 n 型 A l G a N 電子供給層

1 3 n 型 G a N キャップ層

1 4 ゲート電極

1 5 ソース電極

1 6 ドレイン電極

1 7 パッシベーション膜

P R ホトレジストパターン

R 表面のラフネス

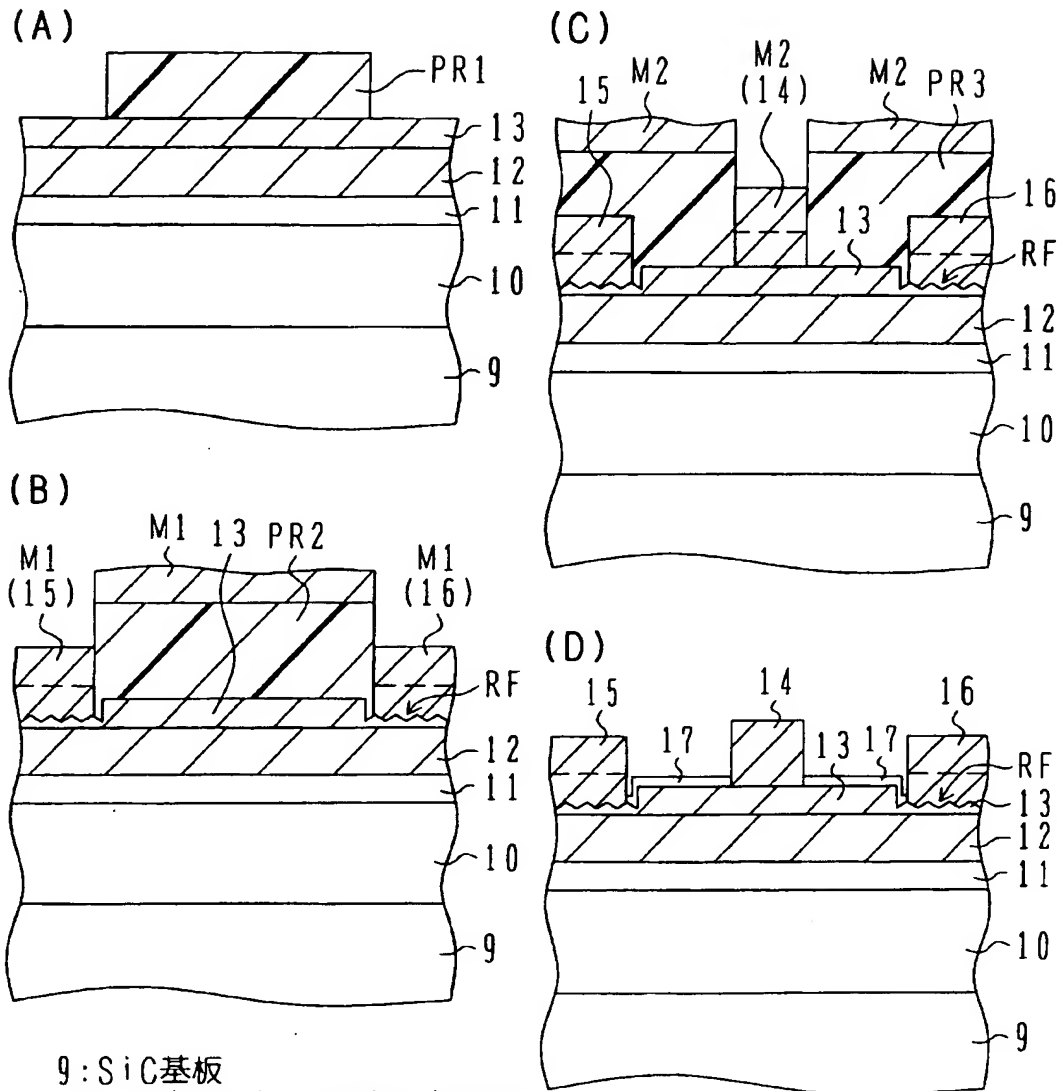
1 8 (パッシベーション膜の) 刻み目

1 9 (半導体積層への) 刻み目

【書類名】 図面

【図 1】

第 1 の実施例

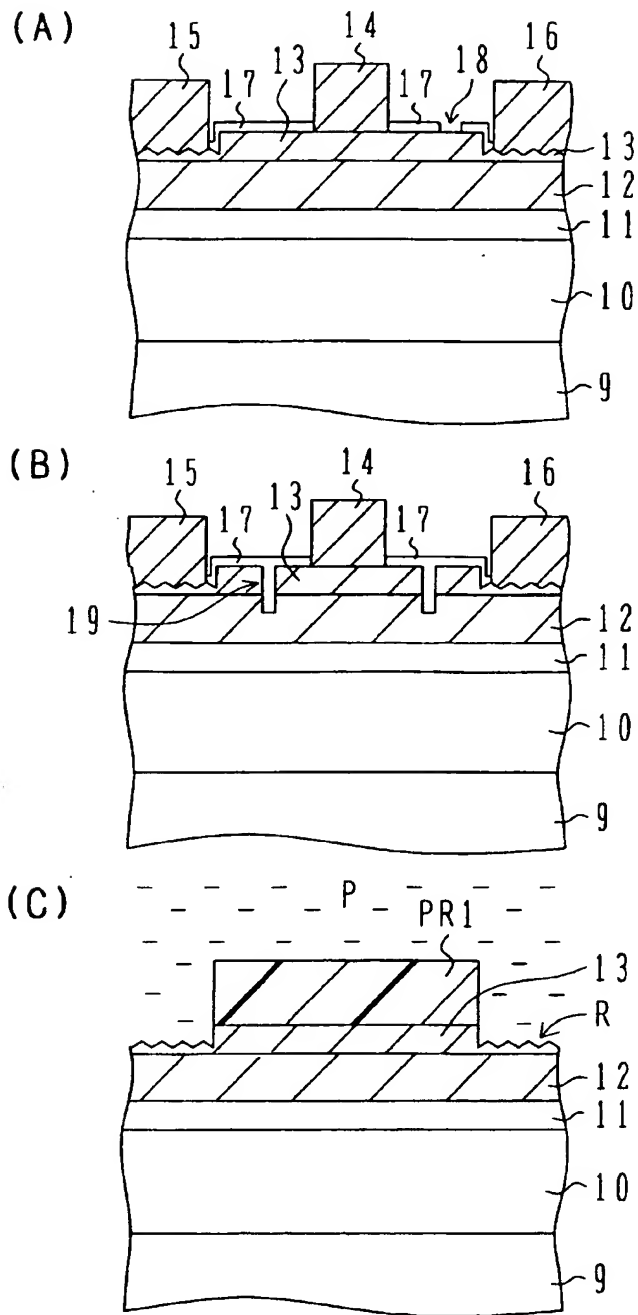


9: SiC基板
 10: undoped-GaN電子走行層
 11: undoped- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 層
 12: n- $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 電子供給層
 13: n-GaN層
 14: Ni/Auゲート電極
 15: Ti/Alソース電極

16: Ti/Alドレイン電極
 17: SiNパッシベーション膜
 PR: ホトレジストパターン
 R: 表面荒れ

【図 2】

変形例

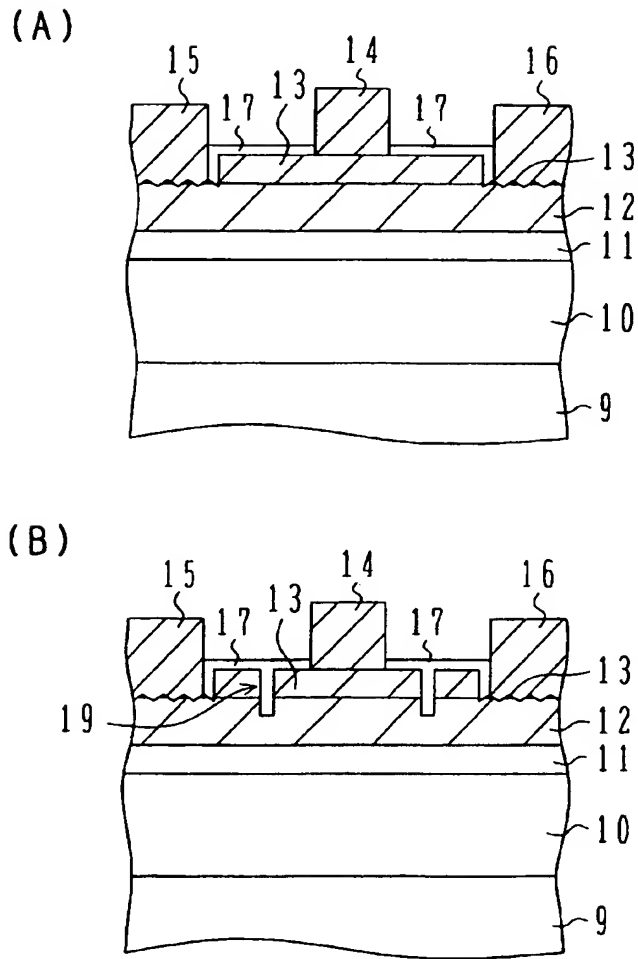


【図 3】

	従来 (図 8 (C))	ドライ GaN でのめる	
		リークカット有 (図 2 (B))	リークカット無 (図 1 (D))
接触抵抗率	$1 \times 10^{-3} \sim 1 \times 10^{-4} \Omega \text{cm}^2$	$7 \times 10^{-6} \sim 3 \times 10^{-5}$	$7 \times 10^{-6} \sim 3 \times 10^{-5}$
オン抵抗	12 Ωmm	6~8	6~8
二端子逆方向電流 @ 100V	100 $\mu \text{A/mm}$	1	50
gm	140 mS/mm	220	220

【図 4】

第 2 の実施例

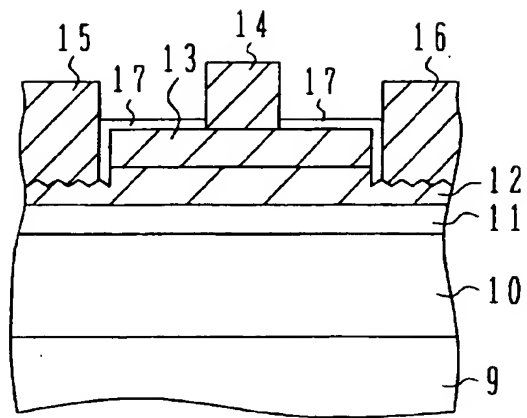


【図 5】

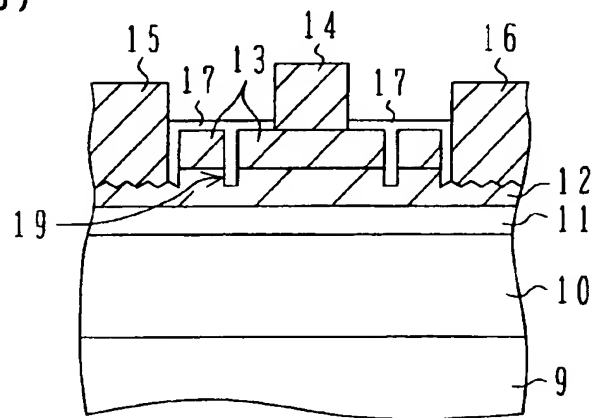
	従来 (図 8 (C))	ドライ AlGaIn, GaN 界面まで	
		リークカット有 (図 4 (B))	リークカット無 (図 4 (A))
接触抵抗率	$1 \times 10^{-3} \sim 1 \times 10^{-4} \Omega \text{cm}^2$	$5 \times 10^{-6} \sim 1 \times 10^{-5}$	$5 \times 10^{-6} \sim 1 \times 10^{-5}$
オン抵抗	12 Ωmm	6~7	6~7
二端子逆方向電流 @ 100V	100 $\mu \text{A/mm}$	1	50
g _m	140 mS/mm	250	250

【図 6】

(A)

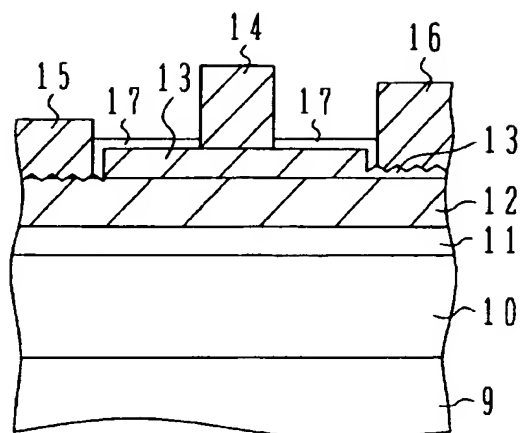


(B)

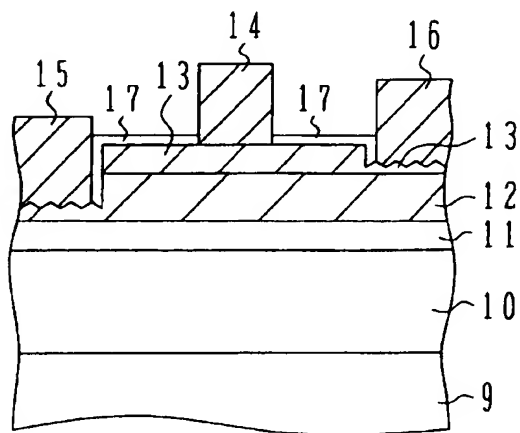


【図 7】

(A)



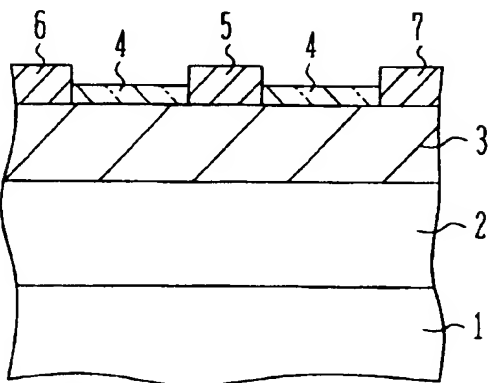
(B)



【図 8】

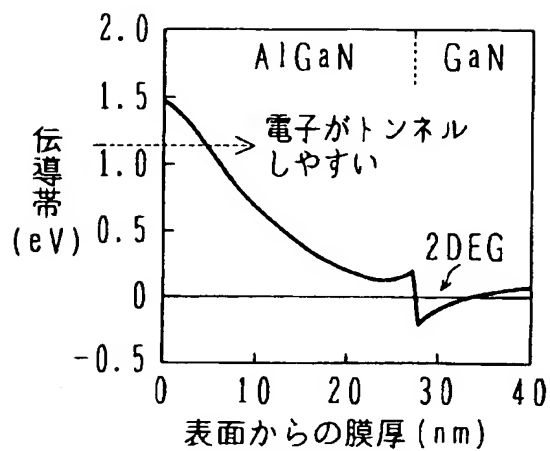
従来技術

(A)

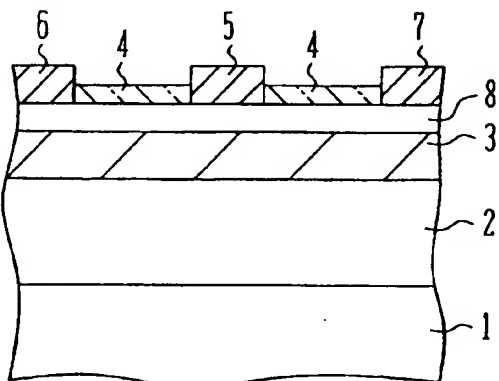


- 1: 基板
- 2: GaN電子走行層
- 3: $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 電子供給層
- 4: パッシベーション膜
- 5: ゲート電極
- 6: ソース電極
- 7: ドレイン電極

(B)

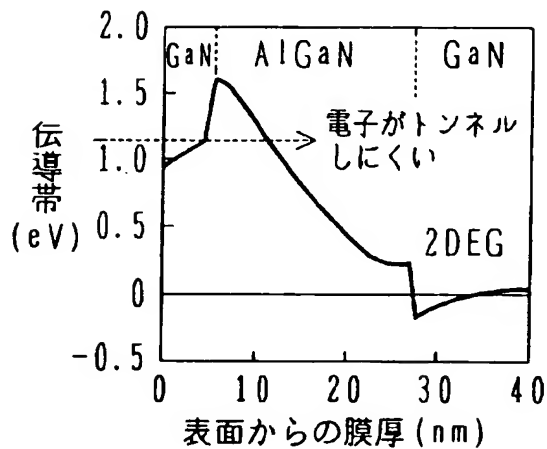


(C)



8: n-GaN層

(D)



【書類名】 要約書

【要約】

【課題】 ゲート耐圧を向上し、かつ接触抵抗率の増大を抑制し、リーク電流の増大を低減することのできる化合物半導体装置及びその製造方法を提供する。

【解決手段】 化合物半導体装置は、基板と、Ga_{1-q}Nの電子走行層と、n型Al_qGa_{1-q}N（ $0 < q \leq 1$ ）の電子供給層と、n型Ga_{1-q}Nのキャップ層と、キャップ層上に配置され、ショットキ接触を構成するゲート電極と、ゲート電極両側で、少なくともキャップ層の一部厚さを除去して形成され、その表面のラフネスがゲート電極下のキャップ層表面のラフネスより大きいソース側およびドレイン側リセス部と、ソース側リセス部上に配置されたソース電極と、ドレイン側リセス部上に配置されたドレイン電極と、を有する。

【選択図】 図1

特願 2 0 0 3 - 0 1 7 3 0 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社